

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10074705

Basic Patent (No,Kind,Date): JP 3181119 A2 910807 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: CANON KK

Author (Inventor): KONDO SHIGEKI; MIZUTANI HIDEMASA

IPC: \*H01L-021/20; H01L-021/324; H01L-021/336; H01L-029/784

CA Abstract No: 115(24)268576C

Derwent WPI Acc No: C 91-276490

JAPIO Reference No: 150434E000038

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3181119	A2	910807	JP 89320822	A	891211 (BASIC)

Priority Data (No,Kind,Date):

JP 89320822 A 891211

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03518219     \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:     03-181119 [JP 3181119 A]

PUBLISHED:     August 07, 1991 (19910807)

INVENTOR(s):   KONDO SHIGEKI

MIZUTANI HIDEMASA

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:     01-320822 [JP 89320822]

FILED:         December 11, 1989 (19891211)

INTL CLASS:    [5] H01L-021/20; H01L-021/324; H01L-021/336; H01L-029/784

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097  
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);  
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:       Section: E, Section No. 1129, Vol. 15, No. 434, Pg. 38,  
November 06, 1991 (19911106)

#### ABSTRACT

PURPOSE: To decrease the interface level so as to improve electric properties by forming insulating films to become barriers against the diffusion of hydrogen above and below a silicon film, and injecting hydrogen so that it may have plural concentration distributions within the silicon film, and then heat-treating it.

CONSTITUTION: A silicon nitride insulating film 12 to become a barrier to the diffusion of hydrogen is made on an insulating substrate 11, and then a crystal silicon film 13 is made. Next, a silicon nitride insulating film 14 to become a barrier against the diffusion of hydrogen is made on the film 13. And when injecting hydrogen into the film 13 by ion implantation method, by setting the accelerating voltage of implantation to a proper value, it can have the concentration distribution which has a peak near the surface of the film 13 or near the base interface. Next, it is heat-treated in the mixed gas atmosphere of N(sub 2), Ar, and H(sub 2). Hereby, interface level can be decreased and back channel effect can be suppressed, and electric properties can be improved.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-181119

⑬ Int. Cl.<sup>5</sup>

H 01 L 21/20  
21/324  
21/336  
29/784

識別記号

庁内整理番号

7739-5F

⑭ 公開 平成3年(1991)8月7日

9056-5F

H 01 L 29/78

3 1 1 Z

審査請求 未請求 請求項の数 7 (全12頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-320822

⑰ 出 願 平1(1989)12月11日

⑱ 発 明 者 近 藤 茂 樹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑲ 発 明 者 水 谷 英 正 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
㉑ 代 理 人 弁理士 福森 久夫

#### 明 細 書

##### 1. 発明の名称

半導体装置の製造方法

##### 2. 特許請求の範囲

(1) 絶縁基体上に、結晶性半導体薄膜を形成して成る半導体装置の製造方法において、前記結晶性半導体薄膜の両面に、水素の拡散にたいしてバリアとなる第1、第2の絶縁膜をそれぞれ形成する工程と、前記半導体薄膜中に、膜厚方向に複数のピークを有する濃度分布をもつように水素を導入する工程と、その後熱処理を行なう工程とを含むことを特徴とする半導体装置の製造方法。

(2) 前記水素の導入工程が、2種類以上の方法の組み合わせによって成されることを特徴とする請求項1記載の半導体装置の製造方法。

(3) 前記2種類以上の水素の導入方法のうち、少なくとも1つが、イオン注入、或は、イオンシャワー注入方法であることを特徴とする請求項2記載の半導体装置の製造方法。

(4) 水素の拡散にたいしてバリアとなる絶縁膜

として、減圧CVD法、あるいは、プラズマCVD法で形成した窒化シリコン膜、あるいは、窒化酸化シリコン膜を用いることを特徴とする請求項1乃至3記載の半導体装置の製造方法。

(5) 前記結晶性半導体薄膜材料が、シリコンであることを特徴とする請求項1乃至4記載の半導体装置の製造方法。

(6) 前記熱処理の温度は、非晶質シリコンが多結晶化する温度であることを特徴とする請求項1乃至5記載の半導体装置の製造方法。

(7) 前記熱処理の温度が、300℃～800℃であることを特徴とする請求項6記載の半導体装置の製造方法。

##### 3. 発明の詳細な説明

###### 【産業上の利用分野】

本発明は、絶縁基体上に形成した半導体装置の製造方法に関する。

###### 【従来の技術】

従来、絶縁基板上の薄膜トランジスタ(以下TFTと称す)は第6図に示すように、ガラスな

どの絶縁基板61上に、半導体薄膜62を形成し、そこに素子を作り込んで構成されていた。

また、近年、TFTの特性向上のため、半導体薄膜として、結晶性半導体薄膜を用いることがよく見られる。ここで言う結晶性半導体とは、通常使用されている単結晶ウェハーに比べると、欠陥が数多く存在している単結晶半導体や、内部に1個以上の結晶粒界をもつ多結晶半導体と言う。

【発明が解決しようとする課題】

しかしながら、上記従来例では、結晶性半導体薄膜62と基板61との界面や結晶性半導体薄膜62とゲート絶縁膜63との界面に、数多くの界面単位66、64が存在し、この界面単位の影響で、例えば、MOSFETを形成した場合、チャネル部でキャリアが単位にトラップされ、いわゆるバックチャネルを形成し、しきい値電圧の変動や、on/off比の低下など、素子特性の劣化をもたらしていた。

また、結晶性半導体薄膜として、多結晶シリコンを用いることがよく見られるが、多結晶シリコ

素濃度分布が、第7図に示されるように、比較的結晶性半導体薄膜表面にピークを持つような分布となり、薄膜内部および、薄膜と下地界面の単位をパッシベートするのに十分でないためである。

また、高純度石英や無アルカリガラスなどの基板は、高価で、大面積の基板に安価でTFTを形成するには問題があった。

【課題を解決するための手段】

本発明の半導体装置の製造方法は、絶縁基体上に、結晶性半導体薄膜を形成して成る半導体装置の製造方法において、前記結晶性半導体薄膜の両面に、水素の拡散にたいしてバリアとなる第1、第2の絶縁膜をそれぞれ形成する工程と、前記半導体薄膜中に、膜厚方向に複数のピークを有する濃度分布をもつように水素を導入する工程と、その後熱処理を行なう工程とを含むことを特徴とする。

【作用】

本発明では、水素を導入した結晶性半導体薄膜を熱処理することにより、水素が薄膜中を拡散

ン内に存在する結晶粒界には、数多くの界面単位65が存在し、これらが、キャリアをトラップすることにより、チャネル部でのキャリアの移動度を低下させる。

また、基板にガラスなどの安価な材料を用いると、基板材料中に含まれる $\text{Na}^+$ などのアルカリイオンがプロセス中の熱処理によって移動し、基板との界面やシリコン薄膜中に可動イオンとして存在し、素子特性の劣化や、信頼性に問題を生じさせていた。

これらの問題にたいして、例えば、素子形成後、素子の保護膜として、プラズマCVD法による窒化シリコン膜による水素パッシベーションを用いて、シリコン薄膜内の単位を減らし、移動度を高くすることが行なわれてきた。また、アルカリイオン汚染防止のために、高純度石英や無アルカリガラスなどを基板として用いる場合もある。

しかしながら、上記の方法によっても、基板との界面の問題は、解決されていない。これは、水素パッシベーション後の結晶性半導体薄膜中の水

素濃度分布が、第7図に示されるように、比較的結晶性半導体薄膜表面にピークを持つような分布となり、薄膜内部および、薄膜と下地界面の単位をパッシベートするのに十分でないためである。

また、高純度石英や無アルカリガラスなどの基板は、高価で、大面積の基板に安価でTFTを形成するには問題があった。

本発明の半導体装置の製造方法は、絶縁基体上に、結晶性半導体薄膜を形成して成る半導体装置の製造方法において、前記結晶性半導体薄膜の両面に、水素の拡散にたいしてバリアとなる第1、第2の絶縁膜をそれぞれ形成する工程と、前記半導体薄膜中に、膜厚方向に複数のピークを有する濃度分布をもつように水素を導入する工程と、その後熱処理を行なう工程とを含むことを特徴とする。

なお、水素の拡散にたいしてバリアとなる絶縁膜として、窒化シリコン膜を基板と半導体薄膜との間に形成することにより、ガラスなどの基板からの $\text{Na}^+$ などのアルカリイオンに対するブロッ

キングの効果が生じ、信頼性の向上ができる。

また、半導体薄膜上下面に、水素の拡散にたいしてバリアとなる絶縁膜を形成することにより、薄膜中に拡散した水素の *out-diffusion* を防止し、上述の効果をさらに安定して得ることができる。

【実施態様】

第1図は、本発明を特徴づける半導体装置の断面図である。

本発明の第1の実施態様としては、まず、ガラス等の絶縁基板11上に、水素の拡散に対してバリアとなる第1の絶縁膜として、例えば、プラズマCVD法や減圧CVD法で、窒化シリコン膜12を形成する。

その後、結晶性シリコン薄膜13を形成する。結晶性シリコン薄膜としては、減圧CVD法、プラズマCVD法により形成された多結晶シリコンや、非晶質シリコンをアニールし、再結晶化したものや、プラズマCVD法において、成膜雰囲気中へのHCl等のハロゲン化水素ガスの添加効果

によってえられた大粒径多結晶シリコン（特願昭62-73630号）や、本出願人が特願昭62-73629号で提案しているところの大粒径多結晶シリコンや、本出願人が特願昭63-107016号で提案しているところの非晶質基板上に形成した単結晶シリコンなどが用いられる。

次に、水素の拡散にたいしてバリアとなるような第2の絶縁膜14を結晶性シリコン薄膜13上に形成する。水素の拡散にたいしてバリアとなるような絶縁膜としては、減圧CVD法で形成した窒化シリコン膜や、プラズマCVD法で形成した窒化シリコン膜や窒化酸化シリコン膜を用いることができる。

次に、水素を、通常のイオン注入方法、或は、イオンシャワー注入方法により、結晶性シリコン薄膜中に導入する（第1図15）。

これらの方法によれば、注入の加速電圧を適切な値に選ぶことにより、注入領域のピークの深さを所望の値に選ぶことができる。表1にLSS理

論に基づく水素イオンの加速電圧とシリコン中の注入飛程の関係を示す。

表 1

加 速 電 圧	注 入 飛 程
10 keV	0.16 $\mu$ m
20 keV	0.29
30 keV	0.40
40 keV	0.50
50 keV	0.59

水素イオンの注入飛程を、例えば、結晶性シリコン薄膜表面近傍、結晶性シリコン薄膜下地界面近傍、結晶性シリコン薄膜中央近傍など、適当な位置にくるように加速電圧を選んで、複数回に分けて注入を行なう。

これにより、シリコン薄膜中に分布する界面準位や、欠陥準位にトラップされるのに十分な水素を導入することができ、パッシベーション効果をより高めることができる。

第2図に、注入後の水素濃度分布を示す。低加速電圧、高加速電圧による注入を適当に組み合わせることにより、第2図16、17に示すように、結晶性シリコン薄膜中の表面近傍、及び、下地界面近傍に分布をもつように注入ができる。注入の加速電圧は、その濃度分布のピークが結晶性シリコン薄膜中に数多く存在するように、出来るだけ細分化したほうが良いが、スループットを考慮すれば、2〜3種類程度の注入で十分その効果を示すことが可能である。

次に、 $N_2$ 、Ar、 $H_2$ 、あるいは、それらの混合ガスの雰囲気下で、熱処理を行なう。

第2図に、熱処理後の結晶性シリコン薄膜中の水素濃度分布18を示す。熱処理により水素が結晶性シリコン薄膜中を拡散し、再分布するが、そのとき、結晶性シリコン薄膜上下面は、水素の拡散にたいしてバリアとなる第1、第2の絶縁膜が形成されており、導入された水素は、注入された絶対量が増加することなく、シリコン薄膜13内でのみ拡散、再分布する。

さらに、薄膜中の水素は、拡散、再分布する過程において、表面や下地界面に存在する界面単位や、結晶性シリコン薄膜中の欠陥単位や、結晶性シリコン薄膜の粒界に存在する界面単位にトラップされ、下地界面でのバックチャネルの発生を抑制し、かつ、粒界のポテンシャルを小さくし、移動度を大きくする。

なお、熱処理の温度は、水素の拡散が起り始める300℃より高く、結晶性シリコンに拡散した水素が再び外へ拡散しない600℃よりも低い温度で行なえばよい。

また、基板と結晶性シリコン薄膜との間に窒化シリコン膜を形成することで、基板からの $\text{Na}^+$ 等のアルカリイオンに対してブロッキングの効果を持たせ、信頼性が向上する。

また、結晶性シリコン薄膜両面に、水素の拡散に対してバリアとなる絶縁膜を形成することにより、熱処理によって水素が拡散する際、結晶性シリコン薄膜表面からの外部拡散(out-diffusion)を防止でき、水素による

低温化および電気特性上の観点から我々の提案している大粒径多結晶シリコン薄膜が本実施例に最も適当である。

次に、水素の拡散にたいしてバリアとなるような第2の絶縁膜14を結晶性シリコン上に形成する。水素の拡散にたいしてバリアとなるような絶縁膜としては、減圧CVD法で形成した窒化シリコン膜や、第1の絶縁膜と同様にして、プラズマCVD法で形成した窒化シリコン膜や窒化酸化シリコン膜を用いることができる。

次に、イオン注入方法、あるいは、イオンシャワー注入方法を用いて、第2の絶縁膜を通して結晶性シリコン薄膜中に水素を注入する(第1図15)。その際、例えば、注入後の水素の濃度分布のピークが、第2の絶縁膜と結晶性シリコン薄膜との界面に来るように注入時の加速電圧を選択する。

次に、 $\text{N}_2$ 、 $\text{Ar}$ 、 $\text{H}_2$ 、あるいは、それらの混合ガスの雰囲気下で、水素の拡散にたいしてバリアとなる第1の絶縁膜、例えば、窒化シリコン

パッシベーション効果をさらに高めることができる。

第3図に、本発明の第2の実施態様の概略を示す。

本発明の第2の実施態様としては、まず、ガラス等の絶縁基板11上に、水素の拡散にたいしてバリアとなる第1の絶縁膜として、例えば、プラズマCVD法で、基板温度200℃〜300℃で窒化シリコン膜12を形成する。この窒化シリコン膜12中には、数%〜数10%の水素が含まれている。

その後、窒化シリコン膜12を形成した温度と同程度かそれ以下の温度で結晶性シリコン薄膜13を形成する。結晶性シリコン薄膜としては、減圧CVD法、プラズマCVD法により形成された多結晶シリコンや、我々の提案しているプラズマCVD法において、成膜雰囲気中への $\text{HCl}$ 等のハロゲン化水素ガスの添加効果によってえられた大粒径多結晶シリコンを用いることができる(特願昭62-73630号)。プロセス温度の

膜、を形成した温度より高い温度(300℃〜600℃)で熱処理を行なう。

熱処理後の水素の濃度分布を第4図18に示す。

この熱処理中に、窒化シリコン膜中に存在する水素が、結晶性シリコン薄膜中に拡散することにより、特に、下地界面に存在する界面単位や、さらには、結晶性シリコン薄膜中の欠陥単位や、結晶性シリコンの粒界に存在する界面単位にトラップされ、また、イオン注入により導入された水素が、特に、結晶性シリコン薄膜と第2の絶縁膜との界面や、さらには、結晶性シリコン薄膜中の欠陥単位や、結晶性シリコン薄膜中の粒界に存在する界面単位にトラップされ、下地界面でのバックチャネルの発生を抑制し、かつ、粒界のポテンシャルを小さくし、移動度を大きくする。

また、熱処理の温度は、水素の拡散が起り始める300℃より高く、結晶性シリコンに拡散した水素が再び外へ拡散しない600℃よりも低い温度で行なう。

また、基板と結晶性シリコン薄膜との間に窒化シリコン膜を形成することで、ガラスなどの基板からの $\text{Na}^+$ 等のアルカリイオンに対してブロッキングの効果を持たせ、信頼性が向上する。

また、結晶性シリコン薄膜両面に、水素の拡散に対してバリアとなる絶縁膜を形成することにより、熱処理によって水素が拡散する際、結晶性シリコン薄膜表面からの $\text{out-diffusion}$ を防止でき、水素によるパッシベーション効果をさらに高めることができる。

第3図に、本発明の第3の実施態様の概略を示す。

本発明の第3の実施態様としては、まず、ガラス等の絶縁基板11上に、水素の拡散にたいしてバリアとなる第1の含む絶縁膜として、例えば、プラズマCVD法で、基板温度200℃～300℃で窒化シリコン膜12を形成する。この窒化シリコン膜12中には、数%～数10%の水素が含まれている。

次に、 $\text{N}_2$ 、 $\text{Ar}$ 、 $\text{H}_2$ 、あるいは、それらの混合ガスの雰囲気下で、水素を含む絶縁膜12、例えば、窒化シリコン膜、を形成した温度より高い温度(300℃～600℃)で熱処理を行なう。

この熱処理の温度については、形成した非晶質シリコンが、固相結晶成長し、結晶化する温度に設定することが、より高性能なTFTを作るうえで望ましい。したがって、上記熱処理の温度は、より望ましくは、500℃～600℃に設定することが、より高性能なTFTを作るうえで望ましい。

熱処理後の水素の濃度分布を第4図18に示す。

この熱処理中に、窒化シリコン膜中に存在する水素が、結晶性シリコン薄膜中に拡散することにより、特に、下地界面に存在する界面準位や、さらには、結晶性シリコン薄膜中の欠陥準位や、結晶性シリコンの粒界に存在する界面準位にトラップされ、また、イオン注入により導入された水素

その後、窒化シリコン膜12を形成した温度と同程度かそれ以下の温度で非晶質シリコン薄膜13を形成する。非晶質シリコン薄膜としては、減圧CVD法、プラズマCVD法により形成された非晶質シリコンや、多結晶シリコンに $\text{Si}^+$ をイオン注入して非晶質化したもの等が用いられる。

次に、水素の拡散にたいしてバリアとなるような絶縁膜14を非晶質シリコン上に形成する。水素の拡散にたいしてバリアとなるような絶縁膜としては、減圧CVD法で形成した窒化シリコン膜や、第1の絶縁膜と同様にして、プラズマCVD法で形成した窒化シリコン膜や窒化酸化シリコン膜を用いることができる。

次に、イオン注入方法、あるいは、イオンシャワー注入方法を用いて、第2の絶縁膜を通して結晶性シリコン薄膜中に水素を注入する(第1図15)。その際、例えば、注入後の水素の濃度分布のピークが、第2の絶縁膜と結晶性シリコン薄膜との界面に来るように注入時の加速電圧を選択する。

が、特に、結晶性シリコン薄膜と第2の絶縁膜との界面や、さらには、結晶性シリコン薄膜中の欠陥準位や、結晶性シリコン薄膜中の粒界に存在する界面準位にトラップされ、下地界面でのバックチャネルの発生を抑制し、かつ、粒界のポテンシャルを小さくし、移動度を大きくする。

また、熱処理の温度は、水素の拡散が起り始める300℃より高く、結晶性シリコンに拡散した水素が再び外へ拡散しない600℃よりも低い温度で行なう。

また、基板と結晶性シリコン薄膜との間に窒化シリコン膜を形成することで、ガラスなどの基板からの $\text{Na}^+$ 等のアルカリイオンに対してブロッキングの効果を持たせ、信頼性が向上する。

また、非晶質シリコン薄膜両面に水素の拡散にたいしてバリアとなる絶縁膜を形成することにより、熱処理によって水素が拡散する際、結晶性シリコン表面からの $\text{out-diffusion}$ を防止でき、水素によるパッシベーション効果をさらに高めることができる。



第3図に、本発明の第4の実施態様の概略を示す。

本発明の第4の実施態様としては、まず、絶縁基板11上に、水素の拡散にたいしてバリアとなる第1の絶縁膜として、例えば、プラズマCVD法や減圧CVD法で、窒化シリコン膜12を形成する。

その後、結晶性シリコン薄膜13を形成する。結晶性シリコン薄膜としては、減圧CVD法、プラズマCVD法により形成された多結晶シリコンや、非晶質シリコンをアニールし、再結晶化したものや、我々の提案しているプラズマCVD法において、成膜雰囲気中へのHCl等のハロゲン化水素ガスの添加効果によってえられた大粒径多結晶シリコン（特願昭62-73630号）や、本出願人が特願昭62-73629号で提案しているところの大粒径多結晶シリコンや、本出願人が特開昭63-107016号で提案しているところの非晶質基板上に形成した単結晶シリコンなどが用いられる。

次に、N<sub>2</sub>、Ar、H<sub>2</sub>、あるいは、それらの混合ガスの雰囲気中で、熱処理を行なう。

熱処理後の水素濃度分布を第4図19に示す。

この熱処理中に、プラズマ中から導入された水素が、結晶性シリコン薄膜中に拡散することにより、特に、結晶性シリコン薄膜と第2の絶縁膜との界面や、結晶性シリコン薄膜中の欠陥単位や、結晶性シリコンの粒界に存在する界面単位にトラップされ、また、イオン注入により導入された水素が、特に、結晶性シリコン薄膜と第1の絶縁膜との界面や、さらには、結晶性シリコン薄膜中の欠陥単位や、結晶性シリコン薄膜中の粒界に存在する界面単位にトラップされ、下地界面でのバックチャネルの発生を抑制し、かつ、粒界のポテンシャルを小さくし、移動度を大きくする。また、熱処理の温度は、水素の拡散が起り始める300℃より高く、結晶性シリコンに拡散した水素が再び外へ拡散しない800℃よりも低い温度で行なう。

また、基板と結晶性シリコン薄膜との間に窒化

次に、プラズマCVD装置を用いて、チャンバー内に水素ガスを導入した後、放電を起こし、水素プラズマにより、結晶性シリコン薄膜中に水素を導入する。水素プラズマによる水素の導入については、注入のエネルギーが低いため、シリコン中にあまり深くは入らないことが分かっている。

次に、水素の拡散にたいしてバリアとなる第2の絶縁膜14を結晶性シリコン上に形成する。水素の拡散にたいしてバリアとなるような絶縁膜としては、減圧CVD法で形成した窒化シリコン膜や、プラズマCVD法で形成した窒化シリコン膜や窒化酸化シリコン膜を用いることができる。

次に、イオン注入方法、あるいは、イオンシャワー注入方法を用いて、第2の絶縁膜を通して結晶性シリコン薄膜中に水素を注入する（第1図15）。その際、例えば、注入後の水素の濃度分布のピークが、第1の絶縁膜と結晶性シリコン薄膜との界面に来るように注入時の加速電圧を選択する。

シリコン膜を形成することで、ガラスなどの基板からのNa<sup>+</sup>等のアルカリイオンに対してブロッキングの効果を持たせ、信頼性が向上する。

また、結晶性シリコン薄膜両面に、水素の拡散に対してバリアとなる絶縁膜を形成することにより、熱処理によって水素が拡散する際、結晶性シリコン薄膜表面からのout-diffusionを防止でき、水素によるパッシベーション効果をさらに高めることができる。

#### 【実施例】

本発明の実施例を、図面を用いて説明する。

第5図は、本発明を用いて作成したMOSFETの断面図である。

#### （実施例1）

ガラス基板上51に、プラズマCVD法で、SiH<sub>4</sub>/NH<sub>3</sub>混合ガス系により、窒化シリコン膜52を1000Å堆積した。堆積条件としては、平行平板型プラズマCVD装置を用い、SiH<sub>4</sub>（10% H<sub>2</sub>希釈）流量15

sccm、NH<sub>3</sub>流量10 sccm、圧力0.16 torr、放電パワー3.5W、基板温度400℃の条件で、20分間堆積を行なった。

次に、RFプラズマCVD法により、SiH<sub>4</sub>:Cl<sub>2</sub>:HCl/H<sub>2</sub>混合ガス系にて、窒化シリコン膜52上に、多結晶シリコン薄膜53を1000Å堆積した。堆積条件としては、SiH<sub>4</sub>:Cl<sub>2</sub>:0.9 sccm、HCl 130 sccm、H<sub>2</sub> 200 sccm、圧力2.0 Torr、RF power 3.5W、基板温度230℃で行なった。この条件では、窒化シリコン膜52上には、粒径が約1.0 μmの多結晶シリコン薄膜が堆積した。

次に、スパッタ法により、ゲート絶縁膜としてSiO<sub>2</sub>膜54を500Å堆積させた後、ゲート電極55を形成した。

次に、イオン注入法により、水素を、 $1 \times 10^{16} \text{ cm}^{-2}$ 、加速電圧18 keV、および、25 keVの条件で、多結晶シリコン薄膜53全面に

1/2以下に縮小された。

このことは、熱処理によって、注入された水素が、多結晶シリコン薄膜53内に拡散し、下地界面、および、多結晶シリコン薄膜53中の結晶粒界に存在する界面単位にトラップされ、かつ、粒界のポテンシャルバリアが低下したためと考えられる。このことは、ESR（電子スピン共鳴）測定から、多結晶シリコン薄膜中のダングリングボンドの未知度が、熱処理によってESRの検出限界以下になり、少なくとも、1桁以上低下していたことから明らかである。

また、水素の拡散にたいしてバリアとなる窒化シリコン膜52、57の効果については、例えば、この窒化シリコン膜27の有無により、多結晶シリコン薄膜53中に存在する水素の密度が、 $1 \times 10^{20} \text{ cm}^{-3}$ のオーダーから $1 \times 10^{19} \text{ cm}^{-3}$ のオーダー以下に低下していることから、この膜が、水素のout-diffusionにたいしてバリアとして作用していることが分かった。

また、信頼性試験においては、高温高湿試験に

連続して注入した。

次に、イオン注入法により、P<sup>+</sup>を注入し、ソース・ドレイン領域58を形成した。

次に、水素の拡散にたいしてバリアとなる第2の絶縁膜として、第1の絶縁膜52と同様の方法にて、プラズマCVD法により、窒化シリコン膜57を5000Å堆積した。

次に、N<sub>2</sub>雰囲気、550℃で、熱処理を行なった。

この熱処理後の多結晶シリコン薄膜中のチャンネル領域の水素濃度分布は、第2図16に示されるがごとく、薄膜中でほぼ均一に分布していることが、SIMSの深さ方向分析で確認された。

次に、所望の領域にコンタクトを開口し、Al電極58を形成した。

本実施例において、ガラス基板上に直接多結晶シリコン薄膜を形成した基板に形成したMOSFETと、本実施例により作成したMOSFETの電気特性の測定の比較により、電子移動度は2倍以上、しきい値電圧の変動幅は

よっても、電気特性の変化は殆ど無く、信頼性も十分なものであった。

これは、窒化シリコン膜52が、ガラス基板からのアルカリイオンの拡散にたいして、ブロッキングしているためと考えられる。

#### (実施例2)

ガラス基板上51に、水素の拡散にたいしてバリアとなる第1の絶縁膜として、プラズマCVD法で、SiH<sub>4</sub>/NH<sub>3</sub>混合ガス系により、第1の実施例と同様の条件で窒化シリコン膜を1000Å堆積した。この窒化シリコン膜中には、IR（赤外分光）分析の結果、約10%の水素が含まれていることが分かった。

次に、RFプラズマCVD法により、SiH<sub>4</sub>:Cl<sub>2</sub>:HCl/H<sub>2</sub>混合ガス系にて、シリコン膜52上に、多結晶シリコン薄膜53を1000Å堆積した。

次に、スパッタ法により、ゲート絶縁膜としてSiO<sub>2</sub>膜54を500Å堆積させた後、ゲート電極55を形成した。

次に、イオン注入法により、 $P^+$  を注入し、ソース・ドレイン領域56を形成した。

次に、水素の拡散にたいしてバリアとなる第2の絶縁膜として、第1の絶縁膜52と同様の方法にて、プラズマCVD法により、窒化シリコン膜57を5000Å堆積した。

次に、 $N_2$  雰囲気、550℃で、熱処理を行った。

この熱処理後の多結晶シリコン薄膜中のチャンネル領域の水素濃度分布は第4図18に示されるがごとく、薄膜中でほぼ均一に分布していることが、SIMS深さ方向分析で確認された。

次に、所望の領域にコンタクトを開孔し、A<sub>2</sub>電極58を形成した。

本実施例において、ガラス基板上に直接多結晶シリコン薄膜を形成したMOSFETと、本実施例により作成したMOSFETの電気特性の測定と比較により、電子移動度は2倍以上、しきい値電圧の変動幅は1/2以下に縮小された。

このことは、熱処理によって、窒化シリコン膜

十分なものであった。

これは、窒化シリコン膜52が、ガラス基板からのアルカリイオンの拡散にたいして、ブロッキングしているためと考えられる。

また、本実施例において、550℃の熱処理により、水素を拡散すると同時に、ソース・ドレイン領域の活性化も可能であることが、電気特性の測定から明らかとなった。

#### (実施例3)

ガラス基板上51上に、プラズマCVD法で、 $SiH_4/NH_3$  混合ガス系により、実施例1と同様の条件で窒化シリコン膜52を1000Å堆積した。この条件で堆積した窒化シリコン膜中には、IR (赤外分光) 分析の結果、約10%の水素が含まれていることが分かった。

次に、プラズマCVD法により、 $SiH_4/H_2$  混合ガス系にて、窒化シリコン膜52上に、非晶質シリコン薄膜53を1000Å絶縁膜として堆積した。堆積条件としては、 $SiH_4$  流量2 sccm、 $H_2$  流量18 sccm、圧力0.12

52から、多結晶シリコン薄膜53内に水素が拡散し、下地界面、および、多結晶シリコン薄膜53中の結晶粒界に存在する界面単位にトラップされ、単位の数が増加し、下地界面でのバックチャネルの発生が抑制され、かつ、粒界のポテンシャルバリアが低下したためと考えられる。このことは、ESR (電子スピン共鳴) 測定から、多結晶シリコン薄膜中のダングリングボンドの密度が、熱処理によって、1桁以上低下していたことから明らかである。

また水素の拡散にたいしてバリアとなる窒化シリコン膜52、57の効果については、例えば、この窒化シリコン膜57の有無により、多結晶シリコン薄膜53中に存在する水素の密度が、 $1E20\text{ cm}^{-3}$  のオーダーから $1E19\text{ cm}^{-3}$  のオーダー以下に低下していることから、この膜が、水素のout-diffusionにたいしてバリアとして作用していることが分かった。

また、信頼性試験においては、高温高湿試験によっても、電気特性の変化は殆ど無く、信頼性も

Torr、放電パワー5w、30分間堆積させた。

次に、スパッタ法により、ゲート絶縁膜として $SiO_2$  膜54を500Å堆積させた後、ゲート電極55を形成させた。

次に、イオン注入法により、水素を、 $1E18\text{ cm}^{-2}$ 、加速電圧18keVに条件で、多結晶シリコン薄膜53全面に注入した。

次に、イオン注入法により、 $P^+$  を注入し、ソース・ドレイン領域56を形成した。

つぎに、水素の拡散にたいしてバリアとなる第2の絶縁膜として、第1の絶縁膜22と同様の方法にて、プラズマCVD法により、窒化シリコン膜57を5000Å堆積した。

次に、 $N_2$  雰囲気、600℃で、熱処理を行った。

この熱処理後の多結晶シリコン薄膜中のチャンネル領域の水素濃度分布は、第4図18に示されるがごとく、薄膜中でほぼ均一に分布していることが、SIMSの深さ方向分析で確認された。

次に、所望の領域にコンタクトを開孔し、A<sub>2</sub>電極58を形成した。

本実施例において、600℃の熱処理により、非品質シリコン薄膜53は、固相結晶成長し、多結晶化していることが、断面TEM（透過電子顕微鏡）により確かめられた。

本実施例において、ガラス基板上に直接非品質シリコン薄膜を形成し、熱処理を加えて結晶化した基板に作成したMOSFETと、本実施例により作成したMOSFETの電気特性の比較により、電子移動度は1.5倍以上、しきい値電圧の変動幅は1/2以下に縮小された。

また、ガラス基板上に直接非品質シリコン薄膜を形成した基板に作成したMOSFETと、本実施例により作成したMOSFETの電気特性の比較により、電子移動度は1000倍以上になった。

このことは、熱処理によって、窒化シリコン膜52から、結晶化した多結晶シリコン薄膜53内に水素が拡散し、下地界面、および、多結晶シリ

コン薄膜53中の結晶粒界に存在する界面単位にトラップされ、単位の数が減少し、下地界面でのバックチャネルの発生が抑制され、かつ、粒界のポテンシャルバリアが低下したためと考えられる。このことは、ESR（電子スピン共鳴）測定から、多結晶シリコン薄膜中のダングリングボンドの密度が、熱処理によって、1桁以上低下していたことから明らかである。

また、水素の拡散にたいしてバリアとなる窒化シリコン膜52、57の効果については、例えば、この窒化シリコン膜57の有無により、多結晶シリコン薄膜53中に存在する水素の密度が、 $1 \times 10^{20} \text{ cm}^{-3}$ のオーダーから $1 \times 10^{19} \text{ cm}^{-3}$ のオーダー以下に低下していることから、この膜が、水素のout-diffusionにたいしてバリアとして作用していることがわかった。

また、信頼性試験においては、高温高湿試験によっても、電気特性は殆ど無く、信頼性も十分なものであった。

これは、窒化シリコン膜52が、ガラス基板か

らアルカリイオンの拡散にたいして、ブロッキングしているためと考えられる。

また、本実施例において、600℃の熱処理により、水素を拡散すると同時に、ソース・ドレイン領域の活性化も可能であることが、電気特性の測定から明らかとなった。

#### （実施例4）

ガラス基板51に、プラズマCVD法で、 $\text{SiH}_4/\text{NH}_3$ 混合ガス系により、実施例1と同様の条件で窒化シリコン膜52を1000Å堆積した。この窒化シリコン膜中には、IR（赤外分光）分析の結果、約10%の水素が含まれていることが分かった。

次にRFプラズマ法により、 $\text{SiH}_4/\text{CH}_4/\text{H}_2$ 混合ガス系にて、窒化シリコン膜52上に、多結晶シリコン薄膜53を1000Å堆積した。

次に、ゲート絶縁膜54として、つづいて、水素の拡散にたいしてバリアとなる絶縁膜としてプラズマCVD法により窒化酸化シリコン膜500

Å堆積させた後、ゲート電極55を形成した。窒化酸化シリコン膜はよく知られているように、膜中の窒素と酸素の組成比をうまく選ぶことで、窒化シリコン膜と酸化シリコン膜の両方のを兼ね備えることが可能である。ここでは、 $\text{SiH}_4/\text{NH}_3/\text{N}_2\text{O}$ 混合ガス系を用いて、堆積条件を最適化することにより、膜の組成比をSiにたいしてN~3、O~2になるようにした。

次に、イオン注入法により、水素を、 $1 \times 10^{16} \text{ cm}^{-2}$ 、加速電圧18keVの条件で、多結晶シリコン薄膜53全面に注入した。次に、イオン注入法により、P<sup>+</sup>を注入し、ソース・ドレイン領域56を形成した。

次に、N<sub>2</sub>雰囲気、550℃で、熱処理を行った。

次に、保護膜として、プラズマCVD法にて、窒化シリコン膜5000Å堆積した。

次に、所望の領域のコンタクトを開孔し、A<sub>2</sub>電極58を形成した。

本実施例において水素の拡散にたいしてバリア

となる第2の絶縁膜として、窒化酸化シリコンを用いても、多結晶シリコン薄膜中の水素の密度は、窒化シリコン膜を用いた場合と全く変化無かった。

また、ゲート絶縁膜として窒化酸化シリコンを用いたが、これについても、 $\text{SiO}_2$ 膜を用いた場合と比較して、電気特性の劣化は、殆ど認められなかった。

#### (実施例5)

ガラス基板上51に、プラズマCVD法で、 $\text{SiH}_4/\text{NH}_3$ 混合ガス系により、窒化シリコン膜52を1000Å堆積した。

次に、RFプラズマCVD法により、 $\text{SiH}_4/\text{CH}_4/\text{H}_2$ 混合ガス系にて、窒化シリコン膜52上に、多結晶シリコン薄膜53を1000Å堆積した。

次に、スパッタ法により、ゲート絶縁膜として $\text{SiO}_2$ 膜54を500Å堆積させた後、ゲート電極55を形成した。

次に、平行平板型プラズマCVD装置を用い、

電極58を形成した。本実施例において、ガラス基板上に直接多結晶シリコン薄膜を形成した基板に形成したMOSFETと、本実施例により作成してMOSFETの電気特性の測定の比較により、電子移動度は2倍以上、しきい値電圧の変動幅は1/2以下に縮小された。

このことは、熱処理によって、水素プラズマ中から水素が、多結晶シリコン薄膜53内に拡散し、下地界面、および、多結晶シリコン薄膜53中の結晶粒界に存在する界面単位にトラップされ、単位の数が増加し、下地界面でのバックチャネルの発生が抑制され、かつ、粒界のポテンシャルバリアが低下したためと考えられる。このことは、ESR(電子スピン共鳴)測定から、多結晶シリコン薄膜中のダングリングボンドの密度が、熱処理によって、1桁以上低下していたことから明らかである。

また、水素の拡散にたいしてバリアとなる窒化シリコン膜52、57の効果については、例えば、この窒化シリコン膜57の有無により、多結

晶シリコン薄膜53中に存在する水素の密度が、 $1 \times 10^{20} \text{ cm}^{-3}$ のオーダーから $1 \times 10^{19} \text{ cm}^{-3}$ のオーダー以下に低下していることから、この膜が、水素のout-diffusionにたいしてバリアとして作用していることが分かった。

次に、イオン注入法により、水素を、 $1 \times 10^{16} \text{ cm}^{-2}$ 、加速電圧25keVの条件で多結晶シリコン薄膜53全面に注入した。

次に、イオン注入法により、 $\text{P}^+$ を注入し、ソース・ドレイン領域26を形成した。

次に、水素の拡散にたいしてバリアとなる第2の絶縁膜として、第1の絶縁膜22と同様の方法にて、プラズマCVD法により、窒化シリコン膜27を5000Å堆積した。

次に、 $\text{N}_2$ 雰囲気、550℃で、熱処理を行った。

この熱処理の後の多結晶シリコン薄膜中のチャネル領域の水素濃度分布は第4図19に示されるがごとく、薄膜中でほぼ均一に分布していることが、SIMSの深さ方向分析で確認された。

次に、所望の領域にコンタクトを開孔し、A2

品シリコン薄膜53中に存在する水素の密度が、 $1 \times 10^{20} \text{ cm}^{-3}$ のオーダーから $1 \times 10^{19} \text{ cm}^{-3}$ のオーダー以下に低下していることから、この膜が、水素のout-diffusionにたいしてバリアとして作用していることが分かった。

また、信頼性試験においては、高温高湿試験によっても、電気特性の変化は殆ど無く、信頼性も十分なものであった。

これは、窒化シリコン膜52が、ガラス基板からのアルカリイオンの拡散にたいして、ブロッキングしているためと考えられる。

以上、本実施例において、結晶性半導体薄膜としては、本出願人が提案しているプラズマCVD法にて形成した大粒多結晶シリコン、および、プラズマCVD法にて形成した非晶質シリコンを熱処理にて結晶化した多結晶シリコンについてその効果を示したが、他の結晶性半導体薄膜、例えば、減圧CVD法により形成された多結晶シリコンや、多結晶シリコン $\text{Si}^+$ を注入して、非晶質化した非晶質シリコンをアニールし、再結晶化した

ものや、本出願人が特願昭62-73629号、特願昭62-72630号で提案しているところの大粒径多結晶シリコンや、本出願人が特開昭63-107016号で提案しているところの非晶質基板上に形成した単結晶シリコンなどを用いても、同様の効果があったことは言うまでもない。

また、水素の注入法として、イオン注入法を用いたが、イオンシャワー法を用いても同様の結果が出たのは言うまでもない。

#### 【発明の効果】

水素の拡散にたいしてバリアとなる絶縁膜をシリコン薄膜と基板との間、および、シリコン薄膜上面に形成し、水素をシリコン薄膜中で複数の濃度分布をもとよう導入し、さらに、熱処理することにより、シリコン薄膜下地界面の界面単位を減らし、バックチャネル効果を抑制することができ、かつ、シリコン薄膜内に存在する単位をも低減でき、その結果、しきい値電圧の変動幅の縮小やキャリアの移動度の向上等、TFTの電気的

性を向上させることができた。

また、水素の拡散にたいしてバリアとなる絶縁膜として、窒化シリコン膜を用いることにより、基板からの $\text{Na}^+$ などのアルカリイオンの侵入をブロッキングすることができ、TFTの信頼性が向上させることができた。

この結果、安価なガラス基板上に、電気特性、および、信頼性の優れたTFTを、容易に形成することができるようになった。

#### 4. 図面の簡単な説明

第1および第3図は、本発明の特徴を説明するための断面図、

第2および第4図は、本発明の特徴を説明するための結晶性半導体薄膜中の水素濃度分布、

第5図は、本発明により作成したMOSFETの断面図、

第6および第7図は、従来の技術の問題点を説明するための概略図である。

11、15、61…基板

12、52…水素の拡散にたいしてバリア

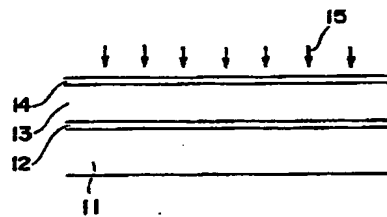
となる第1の絶縁膜

13、53、62…半導体薄膜

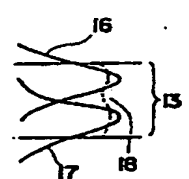
14、54、57…水素の拡散にたいしてバリア

となる第2の絶縁膜

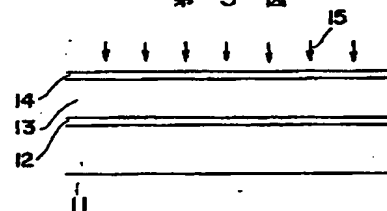
第1図



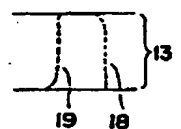
第2図



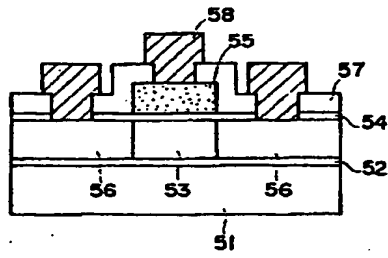
第3図



第4図



第 5 図



第 6 図



第 7 図

